

**FernUniversität in Hagen**  
**Fakultät für Mathematik und Informatik**

**Lösungsvorschläge zur**  
**Klausur**

**zum Kurs 1744**

**„PC-Technologie“**

**im Sommersemester 2011**

**30. Juli 2011**

(Für die Fehlerfreiheit der Lösungsvorschläge wird keine Gewähr übernommen.)

**Notenspiegel**

Punkte	Note	Anzahl	Ganze Note	Prozent
$0 \leq P < 30$	5.0	7	mangelhaft	33,33
$30 \leq P < 35$	4.0	1	ausreichend	14,29
$35 \leq P < 40$	3.7	2		
$40 \leq P < 45$	3.3	2	befriedigend	28,57
$45 \leq P < 50$	3.0	1		
$50 \leq P < 55$	2.7	3		
$55 \leq P < 60$	2.3	3	gut	14,29
$60 \leq P < 65$	2.0	0		
$65 \leq P < 70$	1.7	0		
$70 \leq P < 75$	1.3	0	sehr gut	9,52
$75 \leq P \leq 100$	1.0	2		



## Aufgabe 1: Module der Hauptplatine

- a) Ordnen Sie die im Kurs behandelten „Busse“ nach aufsteigender Übertragungsrate (<) und geben Sie – in Klammern die (theoretisch) erreichbaren Raten an. (Achten Sie dabei auf die Angabe einer jeweils korrekten Einheit.)

IEEE 1394a, PCI (32 Bit, 33.333 MHz), PCIe-x32, SATA II, Ultra-ATA/133, USB 2.0.

geordnet: IEEE 1394a ( 400 Mbit/s ) < USB 2.0 ( 480 Mbit/s )  
 < Ultra-ATA/133 ( 133 MByte/s ) < PCI ( 133,3 MByte/s )  
 < SATA II ( 300 MByte/s ) < PCIe-x32 ( 32 GByte/s )

- b) i) Geben Sie – in der richtigen Reihenfolge – an, welche Komponenten eines typischen PC-Prozessors ein Befehl durchläuft, nachdem er zur Verarbeitung aus dem Arbeitsspeicher geholt wurde. (Es reicht die Angabe der Komponenten – wahlweise für einen Prozessor von AMD oder Intel –, ihre Funktion muss nicht beschrieben werden!)

L2-Cache – L1-Befehls-Cache – (Pre)fetch-Puffer – Vordecoder/Befehls-Warteschlange – Decoder –  $\mu$ Op/MacroOp-Puffer – Befehlssteuereinheit/ReOrder-Puffer – Scheduler/ Reservation Station – Operationswerk

- ii) Geben Sie – in der richtigen Reihenfolge – an, welche Komponenten eines typischen PC-Prozessors (von AMD oder Intel) ein Datum durchläuft, nachdem es zur Verarbeitung aus dem Arbeitsspeicher geholt wurde, und welchen Weg das Ergebnis der Verarbeitung bis zur Ablage im Arbeitsspeicher nimmt.

L2-Cache – L1-Daten-Cache – Lade/Speichereinheit – Register – Operationswerk – Register – Lade/Speichereinheit – L1-Daten-Cache – L2-Cache

- c) i) Ergänzen Sie die nachfolgende Tabelle gebräuchlicher Speichermodule durch die Angabe der fehlenden Werte.

DIMM-Bezeichnung	Baustein-Bezeichnung	Speichertakt in MHz	E/A-Takt in MHz	nominelle Übertragungsrate in MT/s <sup>1</sup>	Übertragungsleistung in GB/s
PC2-6400	DDR2-800	200	400	800	6,4
PC3-6400	DDR3-800	100	400	800	6,4

- ii) Geben Sie an, was man unter der *CAS-Latency* ( $t_{CL}$  bzw. CL) versteht?

Anzahl der Taktzyklen von der Selektion einer Speicherzelle bis zur Ausgabe des Datums an den Ausgängen des Speicherbausteins

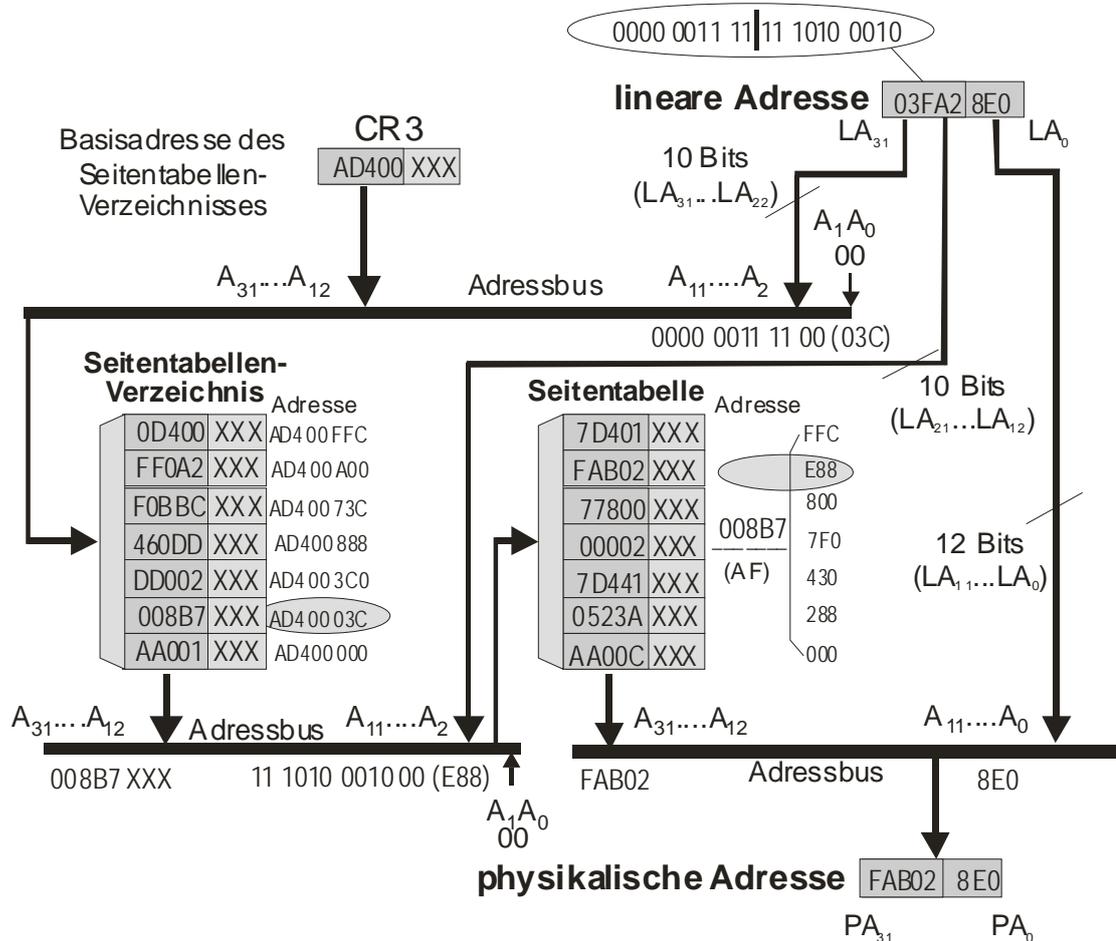
- iii) Wie groß ist  $t_{CL}$  (in ns) für einen DDR2-800-Baustein, wenn er die Angabe CL=4 trägt? (Herleitung angeben!)

$t_{CL} = 1 / (2 * \text{freq}) * CL = 1 / (2 * 200 \text{ MHz}) * 4 = 10 \text{ ns}$ ,  
 wobei freq = 200 der Speichertakt in MHz ist.

<sup>1</sup> Mega-Transfers pro Sekunde

## Aufgabe 2: Virtuelle Speicherverwaltung

Diese Aufgabe befasst sich mit der virtuellen Speicherverwaltung der PC-Prozessoren, und zwar genauer mit der Seitenverwaltung mit 4-kB-Seiten (ohne Adressraumerweiterung). Das folgende Bild stellt dazu die zweistufige Umwandlung einer linearen Adresse über das Seitentabellen-Verzeichnis (*Directory*) und die Seitentabelle in eine physikalische dar. Alle im Bild angegebenen Zahlen liegen im Hexadezimalformat vor. Die (nicht lückenlos aufeinander folgend) dargestellten Tabelleneinträge sind jeweils 4 Bytes lang, liegen im Little-Endian-Format vor und werden durch die Adresse ihres niederwertigen Bytes selektiert.



- a) Bestimmen Sie aus der linearen Adresse die Anfangsadresse des selektierten Eintrags im Seitentabellen-Verzeichnis<sup>2</sup> und kennzeichnen Sie diesen Eintrag im oben stehenden Bild.

Aus CR3 kommen die oberen 20 Adressbits – AD400 . Die höchstwertigen 10 Bits der linearen Adresse werden durch die beiden unteren 0-Bits ergänzt und liefern damit die unteren 12 Bits – 03C. Damit ergibt sich die Anfangsadresse des selektierten Eintrags zu: AD40 003C.

- b) Ermitteln Sie aus dem selektierten Eintrag die oberen fünf Tetraden (20 Bits) der Basisadresse der Seitentabelle und tragen Sie diese im Adressfeld (AF) neben der Seitentabelle ein.

Im selektierten Eintrag des Seitentabellen-Verzeichnisses steht der Wert 008B7 für AF.

<sup>2</sup> Dazu ist hilfreich, sich die oberen 20 Bits der linearen Adresse in binärer Form zu notieren.

- c) Bestimmen Sie die Anfangsadresse des selektierten Eintrags in der Seitentabelle und kennzeichnen Sie ihn im oben stehenden Bild.

Die am unteren Ende durch zwei 0-Bits ergänzten Bits 21 – 12 der linearen Adresse ergeben E88. Damit ist die Anfangsadresse des Seitentableneintrags: 008B 7E88.

- d) Bestimmen Sie aus dem selektierten Eintrag der Seitentabelle und der linearen Adresse die **physikalische Adresse** des Speicherzugriffs und tragen Sie sie ins oben stehende Bild ein.

Die höherwertigen 20 Bits im Seitentabellen-Eintrag sind: FAB02. An diese werden die unteren 12 Bits der linearen Adresse angehängt. Damit ergibt sich die physi(kali)sche Adresse zu: FAB0 28E0.

- e) Benennen Sie den Speicher, in dem die Speicherverwaltungseinheit das Ergebnis der Adressumsetzung ablegt, durch seine Abkürzung und die vollständige Bezeichnung.

TLB – Translation Lookaside Buffer.

Der TLB ist gewöhnlich ein vollassoziativer Cache.

Geben Sie für die im oben stehenden Bild dargestellte Adressumsetzung den entsprechenden Eintrag in diesem Speicher an.

Tag / lineare Adr.	Datum / physik. Adr.
03FA2	FAB02

Da alle Seiten (auch die Seitentabelle und das Seitentabellen-Verzeichnis) 4 kB groß sind, beginnen sie immer an Adressen, in denen die unteren 12 Bits gleich 0 sind. Daher müssen diese Adressbits nicht im TLB berücksichtigt werden.

- f) Welche Funktion haben die Bits der in den Tabelleneinträgen mit ‚X‘ gekennzeichneten Hexadezimalziffern (Tetraden)? Geben Sie wenigstens eines dieser Bits und seine Bedeutung an:

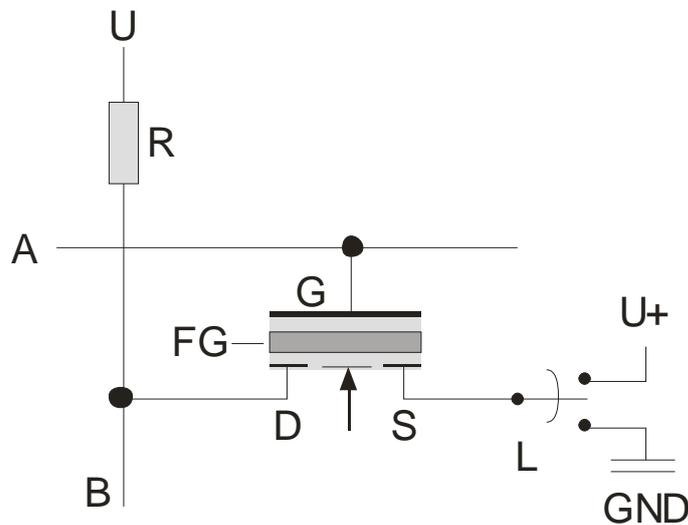
Bei den mit ‚X‘ bezeichneten 12 Bits handelt es sich um Steuerbits, die die Adressumsetzung beeinflussen.

Ein wichtiges Bit ist zum Beispiel das Present Bit (P), das anzeigt, ob die selektierte Seite oder die Seitentabelle bzw. das Seitentabellen-Verzeichnis sich momentan im Arbeitsspeicher befindet oder erst zur Durchführung des Zugriffs von der Festplatte durch das Betriebssystem geladen werden muss.



## Aufgabe 4: Halbleiter-Festplatten

Das folgende Bild zeigt das Schaltsymbol einer Flash-Speicherzelle, in dem eine wichtige Bauteil-Komponente weggelassen wurde.



- a) Zeichnen Sie diese Komponente ins Bild ein und geben Sie Ihre (englische) Bezeichnung an:

Floating Gate – FG

- b) Durch welchen Typ von Ladungsträgern: positive (+) oder negative (–) oder beide, wird eine Information in der (vervollständigten) oben dargestellten Zelle gespeichert? Was bewirken die gespeicherten Ladungsträger?

negative Ladungsträger (Elektronen). Die Elektronen sorgen für eine negative Vorspannung des FG, sodass der Transistor beim Lesen nicht mehr durchschaltet.

- c) Geben Sie für eines der beiden im Kurs beschriebenen Verfahren an, welche Spannungen an den Punkten A, B und L angelegt werden müssen, um die Speicherzelle zu **programmieren**. (Es reichen die Angaben GND, positive Spannung U, hohe positive Spannung U+ oder ‚beliebig‘.) Beschreiben Sie außerdem die Vorgänge im Transistor.

**1. Variante:** A: U+ B: GND L: beliebig

Beschreibung: Die hohe Spannung  $U_{GD}$  sorgt dafür, dass Elektronen den Isolator zwischen D und FG durchwandern und sich auf dem FG sammeln.

**2. Variante:** A: U+ B: U+ L: GND

Beschreibung: Die hohe Spannung  $U_{GS}$  steuert den Transistor durch. Die hohe Spannung  $U_{DS}$  lässt „heiße“ Elektronen durch den Isolator auf das FG wandern.

- d) Geben Sie in der gleichen Form an, welche Spannungen an den Punkten A, B und L angelegt werden müssen, um die Speicherzelle zu **löschen**. Beschreiben Sie außerdem die Vorgänge im Transistor.

A: GND B: beliebig L: U+

Beschreibung: Die hohe Spannung  $U_{GS}$  sorgt dafür, dass Elektronen den Isolator zwischen FG und S durchwandern und über L nach U+ abfließen. Dadurch wird die negative Vorspannung von FG beseitigt und der Transistor kann zum Lesen durchschalten.

## Aufgabe 5: ISO/OSI-Modell

Ergänzen Sie die folgende Darstellung des ISO/OSI-Schichtenmodells um die Namen der einzelnen Schichten und nennen Sie – sofern nicht bereits vorgegeben – für jede Schicht eine typische Netzwerkkomponente sowie ein Protokoll.

**Wichtig:** Mehrfachnennungen werden nicht gewertet!

<b>7</b>	Name der Schicht: <b>Anwendungsschicht</b> Hardware: <b>Application Gateway</b> Protokoll: <b>FTP</b>
<b>6</b>	Name der Schicht: <b>Darstellungsschicht</b> Hardware: Communication Gateway Protokoll: ISO PP
<b>5</b>	Name der Schicht: <b>Sitzungsschicht</b> Hardware: Communication Gateway Protokoll: LDAP
<b>4</b>	Name der Schicht: <b>Transportschicht</b> Hardware: <b>Communication Gateway</b> Protokoll: <b>TCP</b>
<b>3</b>	Name der Schicht: <b>Netzwerkschicht</b> Hardware: <b>Router</b> Protokoll: <b>IP</b>
<b>2</b>	Name der Schicht: <b>Datenverbindungsschicht</b> Hardware: <b>Bridge</b> Protokoll: <b>Token Ring</b>
<b>1</b>	Name der Schicht: <b>Physische Schicht</b> Hardware: <b>Repeater</b> Protokoll: <b>10 Base-T</b>