

Name:

Vorname:

Matr.-Nr.:

4

Aufgabe 1 (8 Punkte)

Entscheiden Sie, welche der folgenden Aussagen zum Thema CISC/RISC-Prinzipien korrekt sind.

- a) RISC-Architekturen müssen zur Decodierung von Maschinenbefehlen stets ein mikroprogrammierbares Steuerwerk verwenden.
- b) Wichtige Voraussetzung für eine effiziente Implementierung einer RISC-Architektur ist die Verfügbarkeit preiswerter Speichertechnologie.
- c) CISC-Architekturen zeichnen sich durch umfangreiche Befehlssätze und mächtige Maschinenbefehle mit vielen Befehlsformaten, aber wenigen Adressierungsarten aus.
- d) Bei CISC-Architekturen erhöhen Datenabhängigkeiten die Zahl der für die abhängigen Befehle benötigten Taktzyklen.
- e) Bei RISC-Architekturen kann gegenüber CISC-Architekturen die Chip-Fläche auf dem Prozessor effizienter genutzt werden.
- f) CISC-Architekturen werden wegen der Vielzahl an Adressierungsarten und der daraus resultierenden Möglichkeiten Operanden und Daten zu laden und zu speichern auch LOAD/STORE-Architekturen genannt.
- g) Wegen des kleineren Befehlssatzes bei RISC-Architekturen wird dort grundsätzlich mehr Speicherplatz für die Unterbringung von Programmen benötigt.
- h) Die Registerfenster-Technologie (window register organization) dient bei RISC-Architekturen einer effizienten Parameterübergabe zu/von Unterprogrammen.

Aufgabe 2 (14 Punkte)

Ausgangspunkt des Befehls-Pipelining ist die Aufspaltung eines Befehls in Teilschritte. Das Befehls-Pipelining setzt voraus, dass für die zugrundeliegende Befehlsarchitektur eine Folge von Teilschritten gefunden wird, die für *alle* Befehle gleich ist. Für die folgende Aufgabe nehmen wir an, dass alle Befehle (inklusive der zugehörigen Adressierungsarten) in den folgenden fünf Teilschritten, welche Ihnen aus der DLX-Architektur bekannt sind, bearbeitet werden.

- 1. Instruction Fetch (IF):** Befehl holen (Opcode und Registeradressen können in einem Maschinenwort untergebracht werden).
- 2. Instruction Decode (ID):** Befehl dekodieren und gleichzeitig die Quelloperanden aus dem Registerblock lesen.
- 3. Execute (EX):** Führe eine arithmetische bzw. logische Operation mit den Operanden aus.
- 4. Memory Access (MEM):** Daten holen (*LOAD*) oder Speichern (*STORE*).
- 5. Write Back (WB):** Ergebnis in einem prozessorinternen Register speichern.

Der zeitliche Ablauf der Teilschritte bei konfliktfreiem Befehls-Pipelining sieht dabei wie folgt aus:

IF	ID	EX	MEM	WB		
	IF	ID	EX	MEM	WB	
		IF	ID	EX	MEM	WB

Bei dieser Definition der Pipeline gehen wir, ohne weitere Annahmen zu machen, davon aus, dass ein aus dem ALU-Ergebnisregister in das Universalregister oder Architekturregister zurückgeschriebener Wert erst am Ende der WB-Stufe stabil und damit weiterverwendbar anliegt.

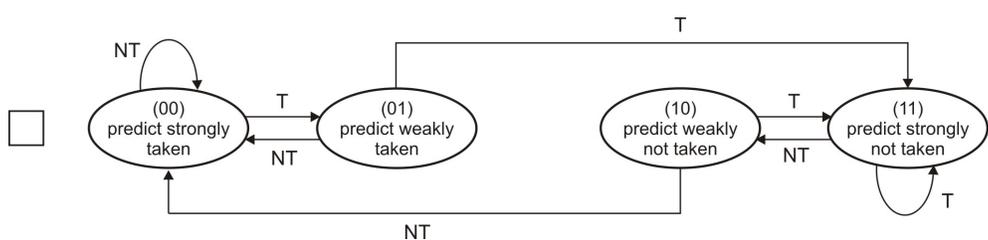
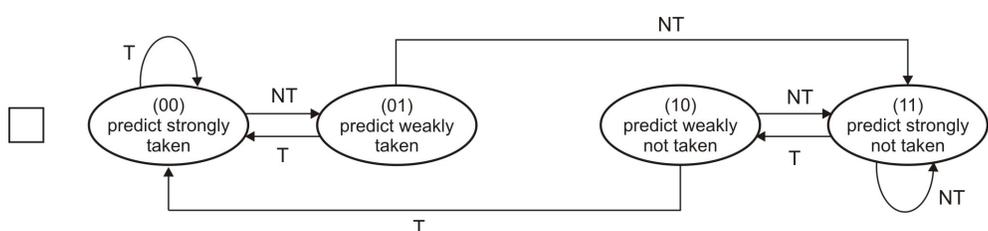
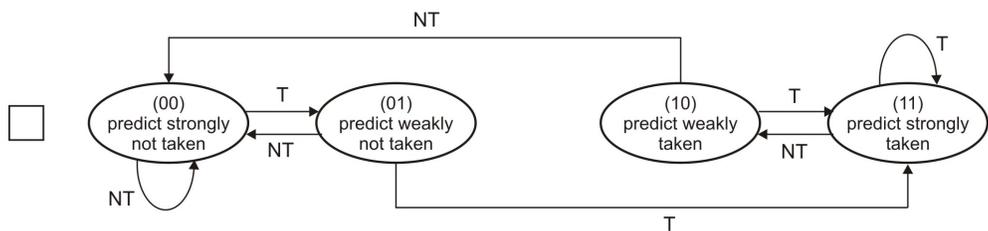
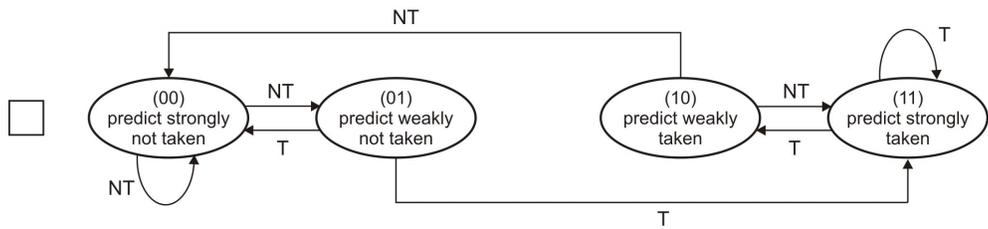
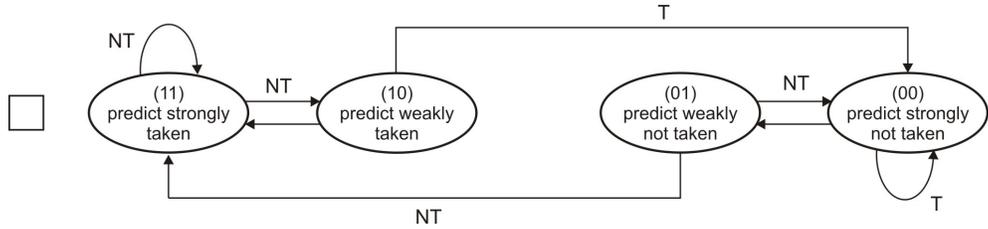
Pipelinekonflikte können durch zusätzliche Hardware oder Software (Einfügen von NOP, *no-operation-Befehle*) behoben werden. In den folgenden Teilaufgaben soll nur die Software-Lösung betrachtet werden.

Wir untersuchen einen Pipelinekonflikt im folgenden Programmfragment:

ADD	R3,R1,R2	$R3 = R1 + R2$
SUB	R4,R1,R3	$R4 = R1 - R3$

Aufgabe 3 (5 Punkte):

Markieren Sie die Zustandsgraphen, die einen Zwei-Bit-Prädiktor mit Hysteresisähler korrekt beschreiben!



Aufgabe 4 (15 Punkte)

Es sollen drei kleine Cache-Speicher untersucht werden, die jeweils 8 Cache-Blöcke zu je 4 Worten (1 Wort = 4 Byte) enthalten und nach verschiedenen Techniken organisiert sind. Der erste Cache-Speicher verwendet eine direkt abgebildete Organisation, die mit DM bezeichnet wird. Der zweite Cache-Speicher arbeitet 2-fach satzassoziativ und wird mit dem Kürzel A2 referenziert. Der dritte Cache-Speicher mit der Bezeichnung AV ordnet die Cache-Blöcke vollassoziativ zu. Wenn Cache-Blöcke ersetzt werden müssen, verwendet man wenn nötig die LRU-Strategie.

- a) Welche der drei Organisationsform erfordert KEINE Ersetzungsstrategie? (1 P.)

--

- b) Vervollständigen Sie die nachfolgende Tabelle für die Aufteilung einer 32-Bit langen Adresse in Tag-Teil, Index-Teil und die Wortadresse! Geben Sie für jeden Teil die Anzahl der Bits an! (2 P.)

	Tag-Teil	Index-Teil	Wortadresse
DM			
A2			
AV			

- c) Der Einfachheit halber berücksichtigen wir im Folgenden nur die niederwertigen 8-Bit der Adresse ($A_7 \dots A_0$) und nehmen an, dass die restlichen 24-Bit der Adresse ($A_{31} \dots A_8$) einen konstanten Wert haben. Zu Beginn seien die Cache-Speicher leer und dann sollen Zugriffe auf folgende Adressen (in hexadezimaler Darstellung) erfolgen:

C6, 89, A7, D3, C2, C4, A3, D0, DD, C3

Ermitteln Sie das Verhalten der einzelnen Cache-Speicher, indem Sie die vorgegebenen Tabellen vervollständigen!

Name:

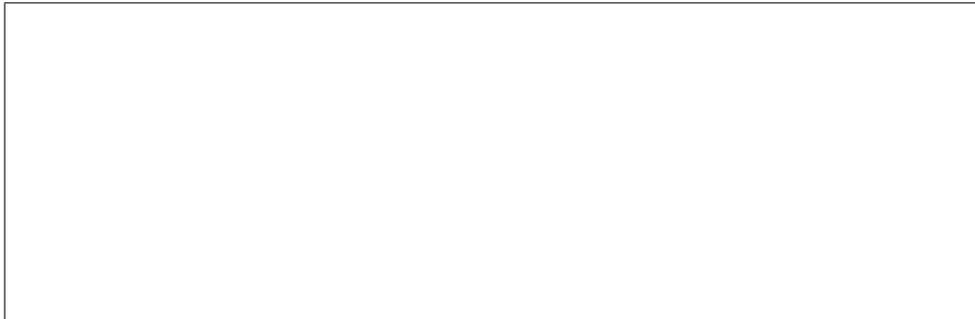
Vorname:

Matr.-Nr.:

12

Aufgabe 5 (8 Punkte):

a) Leiten Sie das Gesetz von Amdahl für den Speedup $S(n)$ eines n -Prozessor-systems her! Der sequentielle Anteil soll mit f bezeichnet werden. (3 P.)



b) Sie haben bei einem 8-Prozessorsystem einen Speedup von $S(8) = 4$ gemessen. Welchen sequentiellen Anteil hat das Programm nach dem Amdahl'schen Gesetz? (2 P.)



c) Welcher Speedup ist bei gleichbleibendem sequentiellen Anteil mit einem 32-Prozessorsystem zu erwarten? Lohnt sich der Aufwand (mit Begründung)? Gegen Sie eine Obergrenze für den Speedup an! (3 P.)

