

Kurs 01608 Computersysteme 1
Klausur WS 2008/09
21.03.2009

Lösungsvorschläge

Prof. Dr. J. Keller
LG Parallelität und VLSI
Prof. Dr.-Ing. W. Schiffmann
LG Rechnerarchitektur

Aufgabe 1 (7 Punkte):

Gegeben sei eine Funktion $g : \{0, 1\}^4 \rightarrow \{0, 1\}$, die genau dann den Wert 1 annimmt, wenn entweder eines, drei oder vier ihrer Argumente X_1, \dots, X_4 den Wert 1 haben.

Stellen Sie die Wertetabelle auf. (2 P.)

Übertragen Sie die Werte in ein Karnaugh-Diagramm. (2 P.)

Bestimmen Sie die Primimplikanten. (3 P.)

Lösung:

Die Wertetabelle lautet:

$X_1X_2X_3X_4$	$g(X_1X_2X_3X_4)$
0000	0
0001	1
0010	1
0011	0
0100	1
0101	0
0110	0
0111	1
1000	1
1001	0
1010	0
1011	1
1100	0
1101	1
1110	1
1111	1

Das Karnaugh-Diagramm lautet

	X_1				

X_2	0	1	0	1	X_4
	1	1	1	0	
	0	1	0	1	
	1	0	1	0	

	X_3				

Die ersten vier Primimplikanten bestehen aus je einem 2×1 -Rechteck, sie bilden das Kreuz links oben. Die anderen vier Primimplikanten bestehen aus je einem einzelnen Feld, sie decken die vier alleinstehenden Einsen ab. Die Primimplikanten lauten:

$$X_1X_2X_3$$

$$X_1X_2X_4$$

$$X_1X_3X_4$$

$$X_2X_3X_4$$

$$X_1\bar{X}_2\bar{X}_3\bar{X}_4$$

$$\bar{X}_1X_2\bar{X}_3\bar{X}_4$$

$$\bar{X}_1\bar{X}_2X_3\bar{X}_4$$

$$\bar{X}_1\bar{X}_2\bar{X}_3X_4$$

Aufgabe 2 (7 Punkte):

Gegeben ist die Schaltfunktion $f_2 : \{0, 1\}^3 \rightarrow \{0, 1\}$ durch ihre Primimplikanten

$$\begin{aligned} &\overline{X_1}X_3 \\ &\overline{X_2}X_3 \\ &\overline{X_1}X_2 \\ &X_2\overline{X_3} \\ &X_1\overline{X_3} \\ &X_1\overline{X_2} \end{aligned}$$

Stellen Sie die Primimplikantentafel auf. (4 P.)

Bestimmen Sie die Kernimplikanten. (1 P.)

Bestimmen Sie ein Minimalpolynom. (2 P.)

Lösung:

Die Funktion entspricht der Funktion f_2 aus Tabelle 1.5 im Kurstext. Die Primimplikantentafel ist in Tabelle 1.6b des Kurstextes abgebildet. Es gibt keine Kernimplikanten. Ein Minimalpolynom lautet (siehe Beispiel 1.27 im Kurstext)

$$p(X_1, X_2, X_3) = \overline{X_1}X_3 \vee X_2\overline{X_3} \vee X_1\overline{X_2} .$$

Aufgabe 3 (4 Punkte):

Beweisen Sie die folgende Aussage:

Eine n -stellige Zweierkomplementdarstellung wird auf $n + 1$ Stellen erweitert, indem das Vorzeichenbit verdoppelt wird.

Lösung: siehe Lösung zur Selbsttestaufgabe 2.9 im Kurstext.

Aufgabe 4 (7 Punkte):

Gegeben seien Multiplizier-Schaltnetze für 2-stellige Binärzahlen sowie Addierer für Binärzahlen aller möglichen Breiten.

Gesucht ist ein Schaltnetz zum Multiplizieren zweier 4-stelliger Binärzahlen $a_3 \dots a_0$ und $b_3 \dots b_0$, das nur obige Teile verwendet.

Wie viele der obigen Multiplizier-Schaltnetze brauchen Sie? (4 P.)

Wie viele Addierer welcher Breite brauchen Sie? (3 P.)

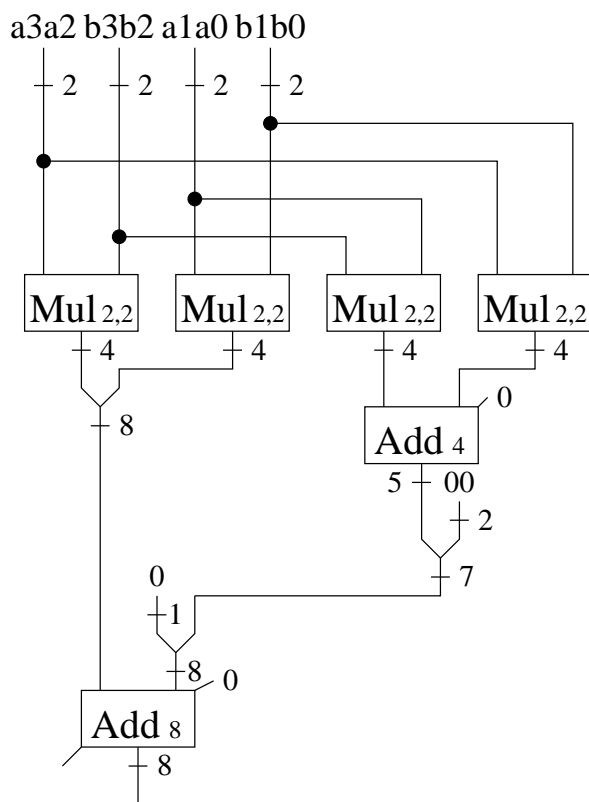
Hinweis: Nutzen Sie die Tatsache $\langle a_3a_2a_1a_0 \rangle = \langle a_3a_2 \rangle \cdot 2^2 + \langle a_1a_0 \rangle$ und $\langle b_3b_2b_1b_0 \rangle = \langle b_3b_2 \rangle \cdot 2^2 + \langle b_1b_0 \rangle$ durch Einsetzen in die Formel der Multiplikation $\langle a_3a_2a_1a_0 \rangle \cdot \langle b_3b_2b_1b_0 \rangle$.

Lösung: Es gilt

$$\begin{aligned} \langle a_3a_2a_1a_0 \rangle \cdot \langle b_3b_2b_1b_0 \rangle &= (\langle a_3a_2 \rangle \cdot 2^2 + \langle a_1a_0 \rangle) \cdot (\langle b_3b_2 \rangle \cdot 2^2 + \langle b_1b_0 \rangle) \\ &= \langle a_3a_2 \rangle \cdot \langle b_3b_2 \rangle \cdot 2^4 + \langle a_1a_0 \rangle \cdot \langle b_1b_0 \rangle \\ &\quad + (\langle a_1a_0 \rangle \cdot \langle b_3b_2 \rangle + \langle a_3a_2 \rangle \cdot \langle b_1b_0 \rangle) \cdot 2^2 \end{aligned}$$

Man braucht also vier der 2-Bit Multiplizierer. Um die vier Teilprodukte zu addieren, braucht man drei Addierer. Die Breite dieser Addierer muss nicht mehr als 8 Bit betragen, da das Produkt zweier 4-Bit Zahlen höchstens 8 Bit haben kann, und somit auch alle Teilergebnisse nicht länger sein können.

Man kann dieses Ergebnis noch etwas verbessern, was allerdings nicht mehr Teil der Aufgabenstellung ist. Jedes Teilprodukt hat eine Länge von 4 Bit. Die ersten beiden Teilprodukte können deshalb einfach konkateniert werden, da das eine um 4 Bit verschoben ist. Damit braucht man noch einen 4-bit Addierer, um das dritte und vierte Teilprodukt zu addieren, und einen 8-bit Addierer, um das 5-stellige Additionsergebnis mit den konkatenierten Teilprodukten zu addieren. Der Carry-Out Ausgang des 8-bit Addierers wird nicht benötigt da das Produkt zweier 4-stelliger Zahlen höchstens 8 Stellen haben kann. Das optimierte Schaltnetz ergibt sich also wie folgt:



Aufgabe 5 (4 Punkte)

Zeigen Sie, dass sich die charakteristische Gleichung eines JK-Flipflops wie folgt ergibt:

$$Q(t+1) = J \wedge \bar{Q}(t) \vee \bar{K} \wedge Q(t)$$

Lösung:

Wir erstellen zunächst die vollständige Funktionstabelle des JK-Flipflops:

J	K	$Q(t)$	$Q(t+1)$	
0	0	0	0	Speichern
0	0	1	1	Speichern
0	1	0	0	Rücksetzen
0	1	1	0	Rücksetzen
1	0	0	1	Setzen
1	0	1	1	Setzen
1	1	0	1	Kippen
1	1	1	0	Kippen

Die Gleichung für $Q(t+1)$ kann als KDNF geschrieben werden:

$$Q(t+1) = \bar{J} \wedge \bar{K} \wedge Q(t) \vee J \wedge \bar{K} \wedge \bar{Q}(t) \vee J \wedge \bar{K} \wedge Q(t) \vee J \wedge K \wedge \bar{Q}(t)$$

Durch Ausklammern erhält man:

$$Q(t+1) = (\bar{J} \vee J) \wedge \bar{K} \wedge Q(t) \vee (K \vee \bar{K}) \wedge J \wedge \bar{Q}(t)$$

Da $(\bar{J} \vee J)$ und $(K \vee \bar{K})$ stets 1 ergeben, können sie einfach weggelassen werden:

$$Q(t+1) = \bar{K} \wedge Q(t) \vee J \wedge \bar{Q}(t)$$

Durch Umstellen der beiden konjunktiven Terme erhalten wir die charakteristische Gleichung.

Aufgabe 6 (7 Punkte)

Gegeben sei ein Schaltwerk, das drei JK-Flipflops mit den Eingängen $J_0 \cdots J_2$ und $K_0 \cdots K_2$ enthält und deren Ausgänge $Q_0 \cdots Q_2$ wie folgt mit den Eingängen verbunden sind:

$$\begin{aligned} J_0 &= Q_1 & J_1 &= Q_2 & J_2 &= \overline{Q_0} \\ K_0 &= \overline{Q_1} & K_1 &= \overline{Q_2} & K_2 &= Q_0 \end{aligned}$$

Das Schaltwerk hat keine externe Eingänge, d.h. es gibt keinen Eingangsvektor X .

a) Ermitteln Sie ausgehend vom Startzustand $Q_2Q_1Q_0 = 000$ die Folgezustände des Schaltwerks und zeichnen Sie den Zustandsgraphen! (4 Punkte)

Vervollständigen Sie die vorgegebene Automatentabelle:

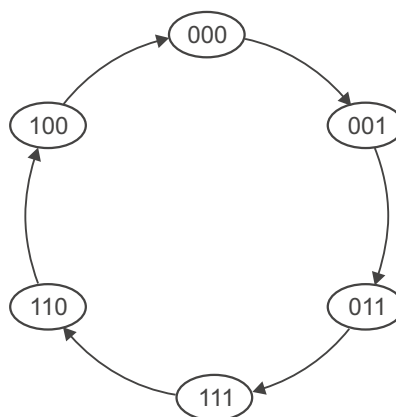
Lösung:

			Zeit t						Zeit $t + 1$		
Q_0	Q_1	Q_2	J_0	K_0	J_1	K_1	J_2	K_2	Q_0	Q_1	Q_2
0	0	0	0	1	0	1	1	0	0	0	1
0	0	1	0	1	1	0	1	0	0	1	1
0	1	1	1	0	1	0	1	0	1	1	1
1	1	1	1	0	1	0	0	1	1	1	0
1	1	0	1	0	0	1	0	1	1	0	0
1	0	0	0	1	0	1	0	1	0	0	0

Ein Zustand soll wie folgt dargestellt werden: $z = Q_0Q_1Q_2$

Zeichnen Sie den Zustandsgraphen!

Lösung:



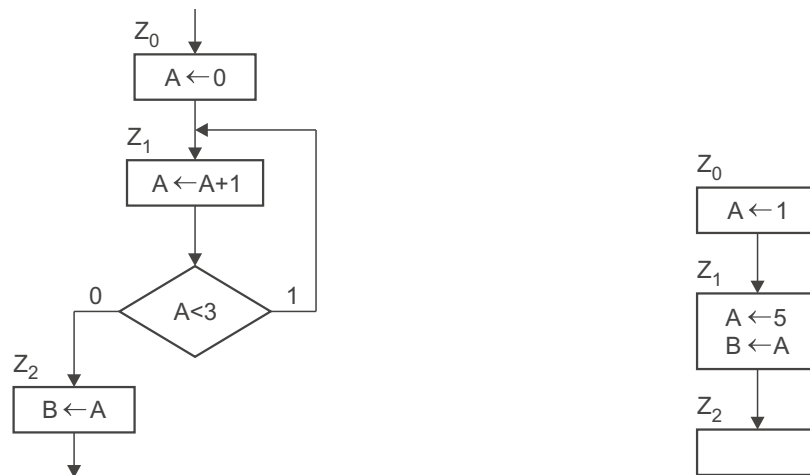
b) Geben Sie die minimierten Schaltfunktionen der Ausgänge $Q_0 \cdots Q_2$ zum Zeitpunkt $t + 1$ in Abhängigkeit der Belegungen zum Zeitpunkt t an! (3 Punkte)

Lösung: Die einfachste Lösung besteht darin, die charakteristische Gleichung des JK-Flipflops zu verwenden und dort die vorgegebenen Belegungen einzusetzen. Wir erhalten:

$$Q_0(t + 1) = Q_1(t), \quad Q_1(t + 1) = Q_2(t), \quad Q_2(t + 1) = \overline{Q_0}(t)$$

Aufgabe 7 (4 Punkte)

Gegeben seien Fragmente aus ASM-Diagrammen:



a) Betrachten Sie das linke Diagramm! Welchen Wert hat A im Zustand Z_2 ? (2 Punkte)

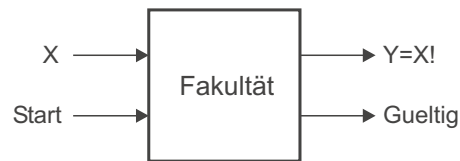
Lösung: Der Pfad zu Z_2 wird eingeschlagen, wenn $A < 3$ nicht erfüllt ist. Da A nur wächst, ist das zum ersten Mal der Fall, wenn A – zu Beginn des Zustands Z_1 , der vor der Entscheidungsbox liegt – den Wert 3 hat. Da A in Z_1 inkrementiert wird, hat es am Ende von Z_1 , d.h. zu Beginn Z_2 , den Wert 4: Also $A = 4$.

b) Betrachten Sie das rechte Diagramm! Welchen Wert hat B im Zustand Z_2 ? (2 Punkte)

Lösung: Die beiden Anweisungen in der Zustandsbox Z_1 werden gleichzeitig ausgeführt. Am Ende von Z_0 bzw. zu Beginn von Z_1 hat A den Wert 1. Folglich wird B zu Beginn und im Zustand Z_2 den Wert 1 haben: Also $B = 1$.

Aufgabe 8 (10 Punkte)

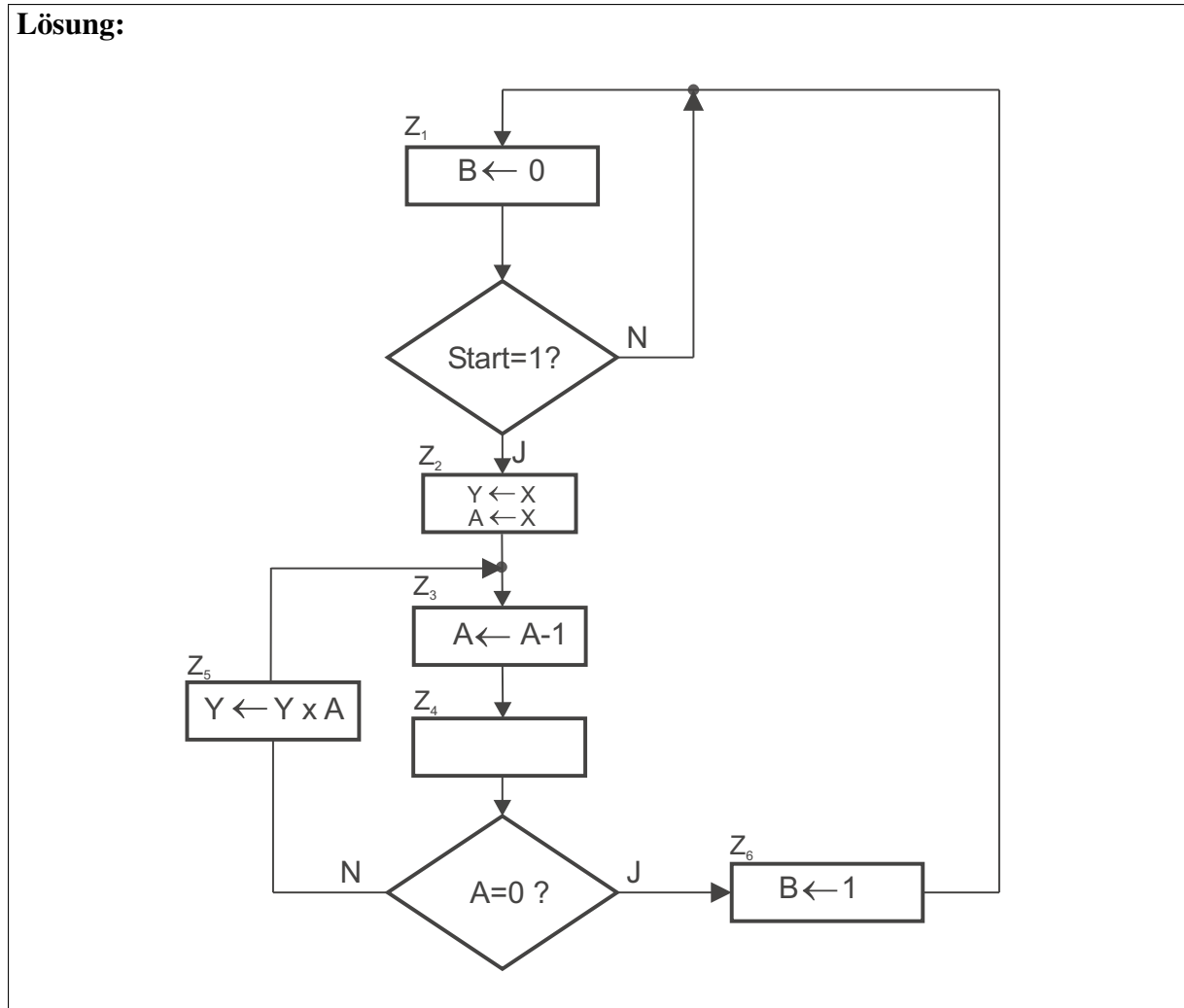
Entwerfen Sie ein komplexes Schaltwerk gemäß nachfolgender Abbildung, das die Fakultät des Eingavektors X berechnet. Die Berechnung soll beginnen, sobald am Eingang *Start* eine 1 erkannt wird. Nachdem $X!$ berechnet wurde, wird mit einer 1 am Ausgang *Gueltig* während eines Taktes angezeigt, dass das Ergebnis gültig ist und am Ausgang Y anliegt. Beim Warten auf das *Start*-Signal und während der Berechnung soll der Ausgang *Gueltig* auf 0 gesetzt werden.



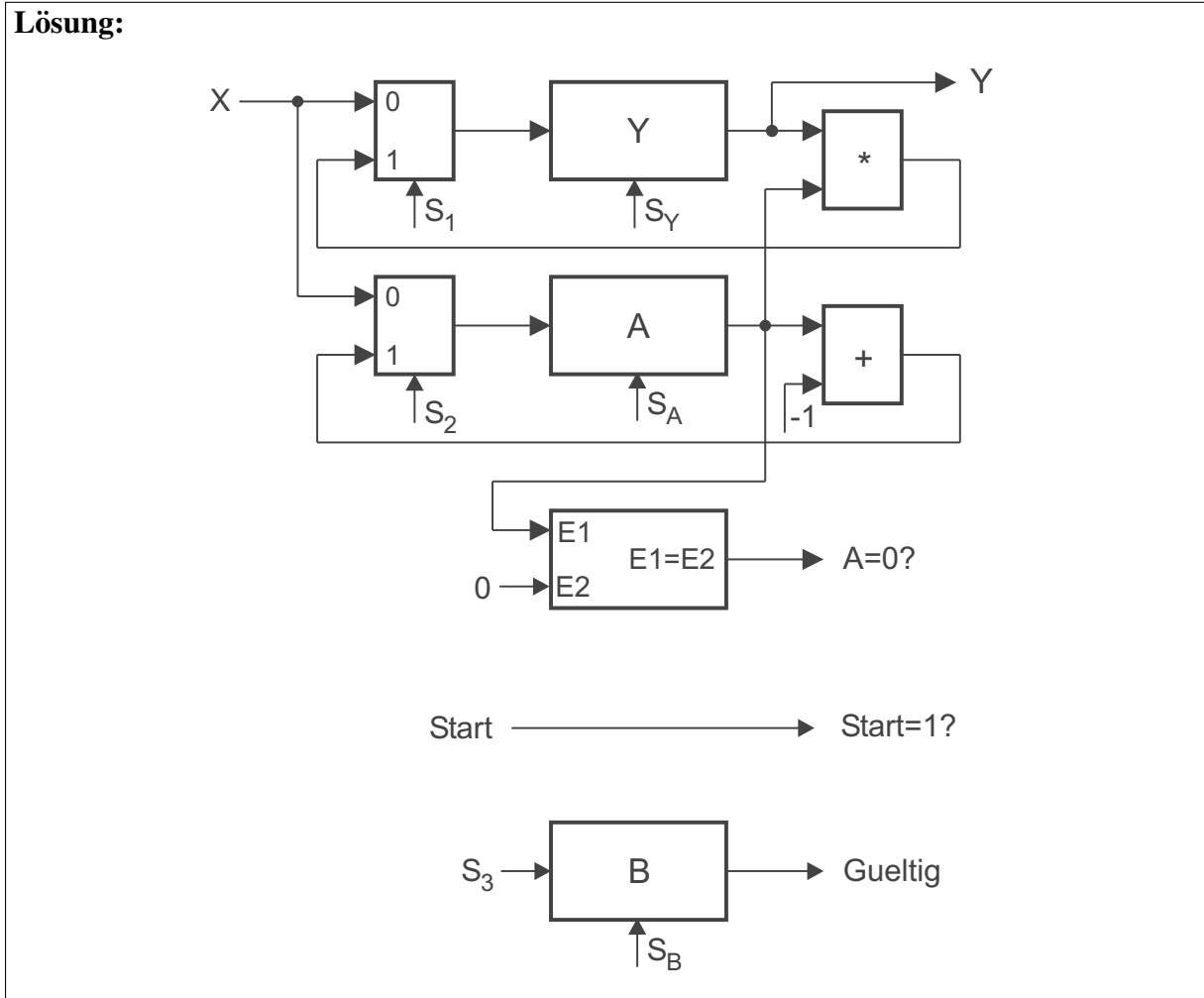
Zum Aufbau des Operationswerkes stehen Register, Komparatoren sowie ein Multiplizier- und ein Addier-Schaltnetz mit passender Wortbreite zur Verfügung. Der Eingangsvektor X ist eine vorzeichenlose Dualzahl.

a) Vervollständigen Sie das vorgegebene ASM-Diagramm, das mit den o.g. Operationen und 6 Zuständen auskommt! (4 Punkte)

Lösung:



b) Vervollständigen Sie das vorgegebene Operationswerk! (4 Punkte)



c) Geben Sie für das Operationswerk nach b) die für die Zustände Z_1 bis Z_6 benötigten Steuervektoren an! Benutzen Sie die vorgegebene Tabelle! (2 Punkte)

Lösung:

	S_Y	S_A	S_B	S_1	S_2	S_3
Z_1	0	0	1	X	X	0
Z_2	1	1	0	0	0	X
Z_3	0	1	0	X	1	X
Z_4	0	0	0	X	X	X
Z_5	1	0	0	1	X	X
Z_6	0	0	1	X	X	1